

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-258398

(P2003-258398A)

(43) 公開日 平成15年9月12日 (2003.9.12)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 5 K 1/11		H 0 5 K 1/11	F 5 E 3 1 7
H 0 1 L 23/02		H 0 1 L 23/02	J 5 E 3 3 6
	23/08		C 5 E 3 3 8
H 0 5 K 1/02		H 0 5 K 1/02	G 5 E 3 4 6
	1/18		H
		審査請求 未請求 請求項の数 8	O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2002-51073 (P2002-51073)

(22) 出願日 平成14年2月27日 (2002.2.27)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 酒井 範夫

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 加藤 功

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74) 代理人 100085143

弁理士 小柴 雅昭

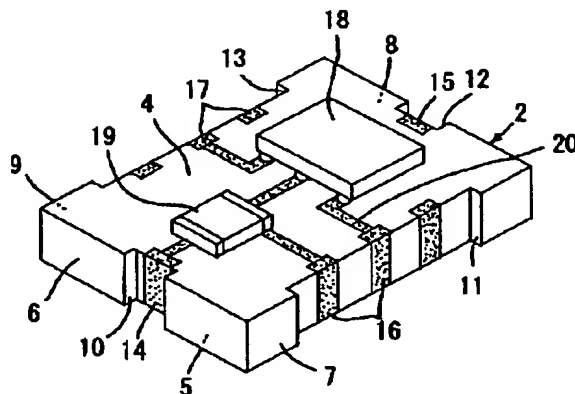
最終頁に続く

(54) 【発明の名称】 積層セラミック電子部品およびその製造方法

(57) 【要約】

【課題】 側面に端子電極が形成された電子部品本体とこれを覆うように取り付けられるカバーとを備える積層セラミック電子部品において、カバーが接合されるグラウンド側の端子電極と他の端子電極との間で短絡が生じにくくでき、かつ、端子電極の配列ピッチを狭くしても、容易に製造できるようにする。

【解決手段】 電子部品本体2の相対向する側面6、8に設けられた切欠き10、12にグラウンド側の端子電極14、15を形成し、他の相対向する側面7、10に設けられた切欠き11、13の各々に、複数の端子電極16、17を並んで形成する。これら端子電極14～17は、端子用ビアホール導体を分割して形成する。電子部品本体2上の搭載部品18および19を覆うようにカバーを配置し、カバーに設けられた脚部を切欠き10、12内に位置させ、グラウンド側の端子電極14、15に接合する。



【特許請求の範囲】

【請求項 1】 複数層のセラミック層を積層した構造を有し、かつ互いに対向する第 1 および第 2 の主面とこれら第 1 および第 2 の主面間を連結する第 1、第 2、第 3 および第 4 の側面とを有し、前記第 1 および第 3 の側面が互いに対向し、前記第 2 および第 4 の側面が互いに対向している、電子部品本体を備え、

前記第 1、第 2、第 3 および第 4 の側面には、それぞれ、第 1、第 2、第 3 および第 4 の切欠きが設けられ、前記第 1 および第 3 の切欠きの各内面には、それぞれ、

グラウンド側の端子電極が形成され、前記第 2 および第 4 の切欠きの各内面には、それぞれ、

複数個の端子電極が並んで形成され、

前記第 1 の主面上には、搭載部品が実装され、

前記搭載部品を覆うように、器状のカバーがその開口を前記電子部品本体側に向けた状態で配置され、前記カバーには、前記第 1 および第 3 の切欠き内にそれぞれ位置される脚部が設けられ、前記カバーは、前記脚部が前記グラウンド側の端子電極に接合されることによって、前記電子部品本体に固定されている、積層セラミック電子部品。

【請求項 2】 前記カバーは金属からなり、前記脚部と前記グラウンド側の端子電極とは半田または導電性接着剤によって接合されている、請求項 1 に記載の積層セラミック電子部品。

【請求項 3】 前記端子電極は、端子用ビアホール導体を分割して得られたものである、請求項 1 または 2 に記載の積層セラミック電子部品。

【請求項 4】 前記第 1、第 2、第 3 および第 4 の切欠きは、前記第 1 の主面から前記第 2 の主面にまで延びるように設けられている、請求項 1 ないし 3 のいずれかに記載の積層セラミック電子部品。

【請求項 5】 請求項 4 に記載の積層セラミック電子部品の製造方法であって、

複数枚のセラミックグリーンシートを積層した構造を有し、前記端子電極となる前記端子用ビアホール導体が設けられた、生の集合電子部品を作製する、集合電子部品作製工程と、

生の前記集合電子部品の前記端子用ビアホール導体を分割する位置に、生の前記集合電子部品を貫通する貫通孔を形成することによって、前記端子用ビアホール導体を前記貫通孔の内面上に露出させる、貫通孔形成工程と、生の前記集合電子部品を焼成する、焼成工程と、

前記集合電子部品を、前記貫通孔を通る分割線に沿って分割し、それによって、前記貫通孔を分割して形成された切欠きの内面に、前記端子用ビアホール導体を分割して得られた前記端子電極が形成された、複数個の前記電子部品本体を取り出す、分割工程と、

前記電子部品本体の前記第 1 の主面上に、搭載部品を実装する、搭載部品実装工程とを備え、

前記集合電子部品作製工程では、前記分割工程によって得られた複数個の前記電子部品本体の前記第 1 および第 3 の側面上にそれぞれ位置する前記第 1 および第 3 の切欠きの各内面に、それぞれ、前記グラウンド側の端子電極が形成され、かつ前記第 2 および第 4 の側面上にそれぞれ位置する前記第 2 および第 4 の切欠きの各内面に、それぞれ、前記複数個の端子電極が並んで形成されるように、生の前記集合電子部品に前記端子用ビアホール導体が設けられ、

さらに、前記搭載部品を覆うように、前記カバーをその開口が前記電子部品本体側に向けられた状態で配置し、かつ、前記脚部を前記第 1 および第 3 の切欠き内に位置させるとともに、前記脚部を前記グラウンド側の端子電極に接合することによって、前記カバーを前記電子部品本体に固定する、カバー固定工程を備える、積層セラミック電子部品の製造方法。

【請求項 6】 前記生の集合電子部品を作製する工程は、複数枚の前記セラミックグリーンシートを用意する工程と、特定の前記セラミックグリーンシートに前記端子用ビアホール導体を位置させるための透孔を設ける工程と、前記透孔内に前記端子用ビアホール導体を形成する工程と、特定の前記セラミックグリーンシートに配線導体を形成する工程と、複数枚の前記セラミックグリーンシートを積層する工程とを備える、請求項 5 に記載の積層セラミック電子部品の製造方法。

【請求項 7】 前記搭載部品実装工程は、前記集合電子部品の状態にある前記電子部品本体に対して実施される、請求項 5 または 6 に記載の積層セラミック電子部品の製造方法。

【請求項 8】 前記カバー固定工程は、分割後の前記電子部品本体に対して実施される、請求項 5 ないし 7 のいずれかに記載の積層セラミック電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、積層セラミック電子部品およびその製造方法に関するもので、特に、カバーを備える積層セラミック電子部品における端子電極の形成態様についての改良に関するものである。

【0002】

【従来の技術】この発明にとって興味ある積層セラミック電子部品およびその製造方法として、たとえば特開平 8-37251 号公報に記載されたものがある。この公報には、次のような積層セラミック電子部品の製造方法が記載されている。

【0003】まず、複数枚のセラミックグリーンシートが用意され、特定のセラミックグリーンシートに透孔が設けられ、透孔内には端子用ビアホール導体が形成される。この端子用ビアホール導体は、透孔に充填された導体によって与えられることも、透孔の内周面上に形成された導体によって与えられることもある。また、特定の

セラミックグリーンシートには、たとえば導体膜や上述の端子用ビアホール導体以外のビアホール導体のような配線導体が形成される。

【0004】次に、複数枚のセラミックグリーンシートが積層され、プレスされることによって、生の集合電子部品が作製される。この集合電子部品は、所定の分割線に沿って分割することによって、複数個の積層セラミック電子部品のための電子部品本体を取り出せるようにされたものである。

【0005】次に、生の集合電子部品の端子用ビアホール導体を分割する位置に、貫通孔が形成され、それによって、端子用ビアホール導体が貫通孔の内面上に露出するようにされる。このとき、1個の端子用ビアホール導体に対して、1個の貫通孔が形成される。

【0006】次に、生の集合電子部品が焼成される。焼成後において、貫通孔の内面上に露出した端子用ビアホール導体には、通常、湿式めっきによって、Ni/AuまたはNi/Sn等からなるめっき膜が形成される。

【0007】次に、個々の電子部品本体の一方主面となるべき集合電子部品の一方主面上に、搭載部品が実装される。

【0008】次に、集合電子部品が、前述した貫通孔を通る分割線に沿って分割される。これによって、貫通孔を分割して形成された切欠きの内面に、端子用ビアホール導体を分割して得られた端子電極が形成された、複数個の電子部品本体が取り出される。この分割にあたっては、通常、集合電子部品の両主面上において分割線に沿って形成された切断溝を介してチョコレートブレイク状態で分割することが行なわれる。なお、切断溝は、集合電子部品の焼成前または焼成後のいずれかの段階で形成される。

【0009】次に、前述した公報では開示されないが、搭載部品を覆うように、器状のカバーがその開口を電子部品本体側に向けた状態で配置される。この場合、電子部品本体には、前述したように、端子電極がその内面に形成された切欠きが貫通孔の分割により形成されているので、カバーには、いずれかの切欠き内に位置される脚部が設けられていることが好ましい。したがって、カバーは、グラウンド側の端子電極が内面に形成された切欠き内にその脚部を位置させ、脚部をグラウンド側の端子電極に半田付け等により接合することによって、電子部品本体に固定されることができる。

【0010】上述のように、電子部品本体に切欠きが設けられ、この切欠き内に端子電極が形成される構成は、カバーを電子部品本体に取り付けることに対して、次のような好都合をもたらす。

【0011】すなわち、まず、切欠き内に脚部が位置されるので、電子部品本体に対するカバーの位置決めが容易である。

【0012】また、カバーの脚部とグラウンド側の端子

電極とは、切欠き内において接合されるので、この接合のための半田等は切欠き内に収まり、たとえば、この半田等が他の端子電極との間で短絡を生じさせるような事態を招くことがほとんどない。

【0013】また、完成後の積層セラミック電子部品は、端子電極を介して配線基板上に半田付けされることによって実装されるが、脚部とグラウンド側の端子電極との接合に半田付けが適用される場合には、この配線基板との半田付けにおいて、脚部とグラウンド側の端子電極とを接合している半田が再び溶融することがある。この場合、脚部とグラウンド側の端子電極とを接合している半田が溶融して、他の端子電極等にまで届くように流れ出すこともあり得る。しかしながら、グラウンド側の端子電極が切欠き内に形成されているので、このような半田の流れ出しはほとんど生じないようにすることができる。

【0014】

【発明が解決しようとする課題】しかしながら、上述した従来技術には、次のような解決されるべき課題もある。

【0015】まず、端子電極の配列ピッチを、たとえば0.6mm以下というように狭くすることが困難である。

【0016】端子電極の配列ピッチを狭くするためには、端子用ビアホール導体を分割するように設けられる貫通孔の径を小さくするとともに、貫通孔の内面上に露出する端子用ビアホール導体の幅を狭くしなければならない。

【0017】しかしながら、このように貫通孔を小さくすると、端子用ビアホール導体の露出する部分上にめっきを施す際の湿式めっき液の循環が悪くなり、めっき膜を適正に形成することが困難になる。しかも、端子用ビアホール導体の露出する幅が狭くされるので、適正なめっき膜の形成をより困難にする。

【0018】また、端子電極の配列ピッチを狭くするには、貫通孔を設ける間隔も狭くしなければならないが、このように貫通孔を設ける間隔を狭くすると、隣り合う貫通孔の間の部分が、貫通孔を設ける工程や焼成工程において割れやすくなる。

【0019】また、貫通孔を設ける間隔を狭くすると、分割後の電子部品本体における隣り合う切欠きの間のごぎり刃状の突起が形成され、そのため、電子部品本体を取り扱う際、このごぎり刃状の突起においてチップングが生じやすくなる。

【0020】また、より多数の端子電極を設けようとすると、それに応じて、貫通孔の数が増え、したがって、貫通孔を設けるための工程数が増加する。

【0021】そこで、この発明の目的は、上述のような問題を解決し得る、カバーを備える積層セラミック電子部品およびその製造方法を提供しようとするところであ

10

20

30

40

50

る。

【0022】

【課題を解決するための手段】上述した技術的課題を解決するため、この発明に係る積層セラミック電子部品は、次のような構成を備えることを特徴としている。

【0023】この発明に係る積層セラミック電子部品は、複数層のセラミック層を積層した構造を有し、かつ互いに対向する第1および第2の主面とこれら第1および第2の主面間を連結する第1、第2、第3および第4の側面とを有する、電子部品本体を備えている。こ

こで、第1および第3の側面が互いに対向し、第2および第4の側面が互いに対向している。

【0024】上述した電子部品本体の第1、第2、第3および第4の側面には、それぞれ、第1、第2、第3および第4の切欠きが設けられる。

【0025】第1および第3の切欠きの各内面には、それぞれ、グラウンド側の端子電極が形成され、第2および第4の切欠きの各内面には、それぞれ、複数個の端子電極が並んで形成される。後者の第2および第4の切欠きの各内面に形成される複数個の端子電極は、前者の第1および第3の切欠きの各内面に形成されるグラウンド側の端子電極と電気的に導通したグラウンド側の端子電極をその一部に含んでいてもよい。

【0026】電子部品本体の第1の主面上には、搭載部品が実装される。

【0027】この搭載部品を覆うように、器状のカバーがその開口を電子部品本体側に向けた状態で配置され、カバーには、第1および第3の切欠き内にそれぞれ位置される脚部が設けられ、カバーは、脚部がグラウンド側の端子電極に接合されることによって、電子部品本体に

固定される。

【0028】このような積層セラミック電子部品において、好ましくは、カバーは金属からなり、このカバーの脚部とグラウンド側の端子電極とは半田または導電性接着剤によって接合される。

【0029】また、端子電極は、端子用ビアホール導体を分割して得られたものであることが好ましい。

【0030】また、好ましくは、第1、第2、第3および第4の切欠きは、第1の主面から第2の主面にまで延びるように設けられる。

【0031】この発明は、また、上述した積層セラミック電子部品、より特定的には、第1、第2、第3および第4の切欠きが第1の主面から第2の主面にまで延びるように設けられ、かつ、端子用ビアホール導体を分割して得られた端子電極を備える、積層セラミック電子部品の製造方法にも向けられる。

【0032】この発明に係る積層セラミック電子部品の製造方法では、複数枚のセラミックグリーンシートを積層した構造を有し、端子電極となる端子用ビアホール導体が設けられた、生の集合電子部品を作製する、集合電

子部品作製工程が実施される。

【0033】また、生の集合電子部品の端子用ビアホール導体を分割する位置に、生の集合電子部品を貫通する貫通孔を形成することによって、端子用ビアホール導体を貫通孔の内面上に露出させる、貫通孔形成工程が実施される。

【0034】また、生の集合電子部品を焼成する、焼成工程が実施される。

【0035】また、集合電子部品を、貫通孔を通る分割線に沿って分割し、それによって、貫通孔を分割して形成された切欠きの内面に、端子用ビアホール導体を分割して得られた端子電極が形成された、複数個の電子部品を取り出す、分割工程が実施される。

【0036】また、電子部品本体の第1の主面上に、搭載部品を実装する、搭載部品実装工程が実施される。

【0037】前述した集合電子部品作製工程では、分割工程によって得られた複数個の電子部品本体の第1および第3の側面上にそれぞれ位置する第1および第3の切欠きの各内面に、それぞれ、グラウンド側の端子電極が形成され、かつ第2および第4の側面上にそれぞれ位置する第2および第4の切欠きの各内面に、それぞれ、複数個の端子電極が並んで形成されるように、端子用ビアホール導体が生の集合電子部品に設けられる。

【0038】さらに、この発明に係る積層セラミック電子部品の製造方法では、搭載部品を覆うように、カバーをその開口が電子部品本体側に向けられた状態で配置し、かつ、脚部を第1および第3の切欠き内に位置させるとともに、脚部をグラウンド側の端子電極に接合することによって、カバーを電子部品本体に固定する、カバー固定工程が実施される。

【0039】好ましくは、生の集合電子部品を作製するにあたって、複数枚のセラミックグリーンシートを用意する工程と、特定のセラミックグリーンシートに端子用ビアホール導体を位置させるための透孔を設ける工程と、透孔内に端子用ビアホール導体を形成する工程と、特定のセラミックグリーンシートに配線導体を形成する工程と、複数枚のセラミックグリーンシートを積層する工程とが実施される。

【0040】また、前述した搭載部品実装工程は、集合電子部品の状態にある電子部品本体に対して実施されることが好ましい。

【0041】また、カバー固定工程は、分割後の電子部品本体に対して実施されることが好ましい。

【0042】

【発明の実施の形態】図1は、この発明の第1の実施形態による積層セラミック電子部品1の外観を示す斜視図である。積層セラミック電子部品1は、電子部品本体2とカバー3とを備えている。図7には、カバー3を除去した状態で電子部品本体2が図示され、図8には、カバー3が単独で図示されている。

【0043】電子部品本体2は、後の説明から明らかなるように、複数層のセラミック層を積層した構造を有している。

【0044】また、図7によく示されているように、電子部品本体2は、互いに対向する第1および第2の主面4および5とこれら第1および第2の主面4および5間を連結する第1、第2、第3および第4の側面6、7、8および9とを有している。ここで、第1および第3の側面6および8が互いに対向し、第2および第4の側面7および9が互いに対向している。

【0045】電子部品本体2の第1、第2、第3および第4の側面6、7、8および9には、それぞれ、第1の主面4から第2の主面5にまで延びる第1、第2、第3および第4の切欠き10、11、12および13が設けられる。

【0046】第1および第3の切欠き10および12の各内面には、それぞれ、端子電極14および15が形成される。また、第2および第4の切欠き11および13の各内面には、それぞれ、複数個の端子電極16および17が並んで形成される。

【0047】電子部品本体2の第1の主面4上には、いくつかの搭載部品18および19が実装されている。これら搭載部品18および19を実装するため、電子部品本体2の第1の主面4上には、配線導体としてのいくつかの導体膜20が適当なパターンをもって形成されている。なお、図7等において、導体膜20を図示するが、これらの図示は、図面の煩雑化を避けるため、概略的なものとされていることを理解すべきである。

【0048】搭載部品18は、詳細には図示しないが、たとえばICチップのような電子部品であり、その下面に設けられたパンプ電極を介して導体膜20に電気的に接続されている。また、搭載部品19は、たとえば積層セラミックコンデンサのような表面実装部品であり、その端部に形成された端子電極を介して導体膜20に電気的に接続されている。

【0049】図8によく示されているように、カバー3は、器状であり、下方に向く開口を有している。カバー3には、前述した第1および第3の切欠き10および12内にそれぞれ位置される脚部21および22を備えている。

【0050】カバー3は、搭載部品18および19を覆うように、その開口を電子部品本体2側に向けた状態で配置され、脚部21および22が、それぞれ、第1および第3の切欠き10および12内に位置され、その状態で、脚部21および22が、端子電極14および15にそれぞれ接合されることによって、電子部品本体2に固定される。

【0051】カバー3の脚部21および22に接合される端子電極14および15は、電子部品本体2の内部に位置するグラウンド側の導体膜と電気的に接続されてお

り、したがって、グラウンド側の端子電極として機能する。

【0052】また、カバー3は、金属から構成されることが好ましく、その場合には、脚部21および22とグラウンド側の端子電極14および15とは半田または導電性接着剤によって接合されることが好ましい。なお、カバー3は、金属に代えて、たとえば樹脂から構成されてもよい。カバー3が樹脂から構成される場合であっても、カバー3をグラウンド電位に保ちたい場合には、樹脂の表面に導電性のめっき膜等を形成すればよい。

【0053】このような積層セラミック電子部品1は、以下に説明するような方法によって製造されることができる。

【0054】まず、図2に示すように、セラミックグリーンシート31が用意される。セラミックグリーンシート31は、分割することによって、得ようとする積層セラミック電子部品1に備える電子部品本体2を複数個取り出せるようにされた集合電子部品のためのものであり、このような分割のための分割線32および33が図2等において1点鎖線で示されている。分割線32および33は、互いに直交する方向に延びていて、分割線32および33によって区画された各領域が、1個の電子部品本体2を与える領域となる。

【0055】セラミックグリーンシート31の分割線32が通る位置には、透孔34が設けられ、分割線33が通る位置には、透孔35が設けられる。この実施形態では、透孔35は、3個ずつ並んで配列されている。図示した透孔34および35は、矩形の平面形状を有しているが、他の平面形状に変更されてもよい。

【0056】次に、図3に示すように、透孔34および35の各々に導電性ペーストが充填され、それによって、端子用ビアホール導体36および37がセラミックグリーンシート31の厚み方向に貫通するように設けられる。図示した端子用ビアホール導体36および37は、透孔34および35に充填された導体によって形成されたが、透孔34および35の内周面上に形成された導体によって与えられてもよい。

【0057】次に、図3では図示しないが、セラミックグリーンシート31には、端子用ビアホール導体36および37以外の必要な配線導体が形成される。配線導体としては、たとえば導体膜や端子用ビアホール導体36および37以外のビアホール導体等がある。

【0058】上述した配線導体としての導体膜は、セラミックグリーンシート31上に導電性ペーストをたとえばスクリーン印刷することによって形成される。この導体膜は、セラミックグリーンシート31の積層されたときの位置によって、内部導体膜となることも、外部導体膜となることもある。前述した図7に示した導体膜20は、この工程において形成された導体膜の1つである。

なお、導体膜の形成は、端子用ビアホール導体36およ

び37を形成するための透孔34および35への導電性ペーストの充填工程と同時に実施されてもよい。

【0059】また、配線導体としてのビアホール導体は、端子用ビアホール導体36および37を形成するのと実質的に同様の工程を適用して形成される。この配線導体としてのビアホール導体を形成するための透孔の形成は、図2に示した透孔34および35を形成する工程と同時に実施され、この透孔への導電性ペーストの充填は、図3に示した透孔34および35への導電性ペーストの充填と同時に実施されてもよい。

【0060】次に、図3に示したセラミックグリーンシート31を含む複数枚のセラミックグリーンシートが積層され、次いで積層方向にプレスされる。これによって、図4に示すような生の集合電子部品38が得られる。

【0061】この生の集合電子部品38において、前述した端子用ビアホール導体36および37の各々は、その複数個のものが連なって、生の集合電子部品38の厚み方向を貫通する状態となっている。なお、端子用ビアホール導体36および37の各々は、必ずしも生の集合電子部品38の厚み方向を貫通するように設けられている必要はなく、生の集合電子部品38の厚み方向の少なくとも一部において延びるように設けられていれば十分である。

【0062】また、分割線32上に位置する端子用ビアホール導体36は、生の集合電子部品38の内部に形成されたグラウンド側の導体膜と電気的に接続されている。

【0063】次に、図5に示すように、生の集合電子部品38における端子用ビアホール導体36および37の各々を分割する位置に、貫通孔39および40がそれぞれ形成される。これら貫通孔39および40は、生の集合電子部品38を貫通するように設けられる。

【0064】貫通孔39の形成によって、端子用ビアホール導体36は分割されるとともに、分割された端子用ビアホール導体36の各一部は、貫通孔39の内面上に露出した状態となる。これら端子用ビアホール導体36の分割されたそれぞれの部分が、前述したグラウンド側の端子電極14および15を与えるものである。

【0065】他方、貫通孔40は、比較的長手の平面形状を有している。このような貫通孔40の形成によって、複数個、図示の実施形態では、3個の端子用ビアホール導体37の各々が分割されるとともに、分割された3個の端子用ビアホール導体37の各一部は、1個の貫通孔40の内面上に露出した状態となっている。これら端子用ビアホール導体37の分割されたそれぞれの部分は、前述した端子電極16および17を与えるものである。

【0066】同じく図5に示すように、生の集合電子部品38の一方の主面または両主面上に、たとえば断面V

字状の切断溝41および42が形成される。これら切断溝41および42は、分割線32および33に沿って形成されるもので、貫通孔39および40を通る位置にそれぞれ延びている。切断溝41および42は、たとえば、生の集合電子部品38の厚みの約1/3〜1/6程度の深さをもって形成される。

【0067】次に、生の集合電子部品38は焼成される。

【0068】次に、めっき処理が施される。より具体的には、端子用ビアホール導体36および37の分割によって与えられた端子電極14〜17の表面に、湿式めっきにより、たとえば、Ni/Au、Ni/Sn等からなるめっき膜が形成される。このめっき工程において、生の集合電子部品38の外表面上に形成された導体膜20の表面にもめっき処理が施されてもよい。

【0069】以上の工程を終えたとき、焼結後の集合電子部品38における切断溝40および42（分割線32および33）によって区画された各領域には、得ようとする積層セラミック電子部品1に備える電子部品本体2が構成されている。

【0070】次に、図6に示すように、焼結後の集合電子部品38の状態にある各電子部品本体2の第1の主面4上に、図7を参照して説明したような搭載部品18および19が実装される。

【0071】次に、集合電子部品38は、切断溝41および42を介してチョコレートブレイク態様で分割され、それによって、図7に示すような状態にある複数個の電子部品本体2が取り出される。なお、集合電子部品38の分割にあたって、上述のようなチョコレートブレイク態様の分割を適用することなく、たとえば、レーザまたはダイサー等を適用して集合電子部品38を切断するようにしてもよい。後者の場合には、集合電子部品38に予め切断溝41および42を設ける必要はない。

【0072】次に、図8に示すようなカバー3が用意される。そして、搭載部品18および19を覆うように、カバー3が、その開口を電子部品本体2側に向けた状態で配置される。この状態で、図1に示すように、カバー3の脚部21および22が、それぞれ、電子部品本体2の第1および第3の切欠き10および12内に位置され、脚部21および22が、それぞれ、グラウンド側の端子電極14および15に半田または導電性接着剤によって接合される。

【0073】このようにして、カバー3が電子部品本体2に固定され、図1に示すような積層セラミック電子部品1が完成される。

【0074】以下、この発明の他の実施形態について説明する。このような他の実施形態の説明において、上述した実施形態の説明において用いた参照符号を対応の要素において用い、重複する説明は省略する。

【0075】図9は、この発明の第2の実施形態を説明

するためのもので、電子部品本体2の第1の側面6を示す図である。

【0076】第1の側面6に設けられた第1の切欠き10には、複数個の、たとえば2個の端子電極14aおよび14bが並んで形成されている。これは、グラウンドを強化するために採られた対策である。なお、図示しないが、電子部品本体2の第3の側面8に設けられた第3の切欠き12に形成された端子電極15についても、同様に複数個設けられてもよい。

【0077】図10および図11は、図9に示した第2の実施形態において採用されるカバー3の電子部品本体2への取付け態様の2つの例を示している。

【0078】図10では、カバー3に設けられた1個の脚部21が2個の端子電極14aおよび14bの双方に共通に接合される。

【0079】図11では、カバー3には、脚部21に対応する2個の脚部21aおよび21bが設けられ、これら脚部21aおよび21bが、それぞれ、端子電極14aおよび14bに接合される。

【0080】図12は、この発明の第3の実施形態を説明するためのものである。図12は、前述の図1に対応する図である。図12において、図1に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0081】図12に示した積層セラミック電子部品1aは、電子部品本体2の第2および第4の側面7および9に設けられた第2および第4の切欠き11および13の各内面に形成される端子電極16および17の機能に特徴がある。なお、図12では、第4の側面9、第4の切欠き13および端子電極17については図示されないが、各々、図示された第2の側面7、第2の切欠き11および端子電極16と実質的に同様である。したがって、以下には、電子部品本体2の第2の側面7、第2の切欠き11および端子電極16について説明する。

【0082】図12に示した積層セラミック電子部品1aにおいて、電子部品本体2の第2の切欠き11内に形成された複数個の端子電極16のうち、たとえば、端子電極16(A)および16(B)は、グラウンド側の端子電極とされる。他の端子電極16は、入出力端子として機能するものである。

【0083】この実施形態は、回路的に電子部品本体2の内部でグラウンド側端子電極14および15と接続されていても、カバー3には接合されない、グラウンド側の端子電極16(A)および16(B)が存在する場合もあり得ることを示すためのものである。

【0084】また、図示した各実施形態では、電子部品本体2の短辺側の側面6および8にグラウンド側の端子電極14および15が形成され、長辺側の側面7および9に複数個の端子電極16および17が並んで形成されたが、これに限定されるものではなく、たとえば、電子

部品本体2の長辺側の側面7および9にグラウンド側の端子電極が形成され、短辺側の側面6および8に複数個の端子電極が並んで形成されてもよい。すなわち、第1および第3の側面6および8の各幅と第2および第4の側面7および9の各幅は、どちらが長くてもよく、また、互いに同じであってもよい。

【0085】また、図示した各実施形態では、切欠き10～13は、電子部品本体2の第1の主面4から第2の主面5にまで延びるように設けられたが、第1および第2の主面4および5のいずれか一方からいずれか他方の途中までしか延びないように設けられてもよい。たとえば、カバー3の脚部21および22が位置される切欠き10および12については、第1の主面4から第2の主面5の途中までしか延びないように設けられてもよく、他方、複数個の端子電極16および17が並んで形成される切欠き11および13については、第2の主面5から第1の主面4の途中までしか延びないように設けられてもよい。

【0086】

【発明の効果】以上のように、この発明に係る積層セラミック電子部品によれば、カバーの脚部が接合されるグラウンド側の端子電極が、電子部品本体に設けられた切欠き内に位置されるので、電子部品本体に対するカバーの位置決めが容易であるとともに、この接合のための半田等は切欠き内に収まり、半田等の塗布において、あるいは半田の再熔融によって、半田等が不所望な箇所に付与されることを防止でき、たとえば、他の端子電極との間で短絡を生じさせるような事態を招くことを有利に防止することができる。

【0087】また、グラウンド側の端子電極以外の端子電極にあっては、その複数個のものが並んで1個の切欠き内に形成されるので、これら端子電極の配列ピッチを問題なく狭くすることができる。

【0088】特に、電子部品本体の側面に設けられる切欠きが第1の主面から第2の主面にまで延びるように設けられ、かつ端子電極がビアホール導体を分割して得られるものである場合には、この発明に係る製造方法を有利に適用して、積層セラミック電子部品を製造することができる。

【0089】また、上述のように、この発明に係る積層セラミック電子部品の製造方法が適用される場合には、複数個の端子電極を並んで形成する切欠きとなる貫通孔の径を小さくする必要がなく、端子電極にめっきを施す際の湿式めっき液の循環が悪くなることはなく、めっき膜を適正に形成することが容易になる。

【0090】また、上述のような貫通孔を設ける間隔を狭くする必要がないので、貫通孔を設ける工程や焼成工程において、隣り合う貫通孔の間の部分が割れやすいという問題を回避することができる。

【0091】また、並んだ複数個の端子電極の各々ごと

13

に貫通孔を設ける場合とは異なり、端子電極の配列ピッチを狭くしても、貫通孔を分割して得られた切欠きの間にのこぎり刃状の突起が形成されることがないので、電子部品本体を取り扱う際にチッピングが生じやすいという問題も回避することができる。

【0092】また、端子電極の数に応じて貫通孔の数が増えることがなく、貫通孔を設けるための工程数を削減することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態を説明するためのもので、積層セラミック電子部品1の外観を示す斜視図である。

【図2】図1に示した積層セラミック電子部品1の製造のために用意されるセラミックグリーンシート31を示す斜視図であり、透孔34および35が設けられた状態を示す。

【図3】図2に示したセラミックグリーンシート31に端子用ビアホール導体36および37が形成された状態を示す斜視図である。

【図4】図3に示したセラミックグリーンシート31を含む複数枚のセラミックグリーンシートを積層して得られた生の集合電子部品38を示す斜視図である。

【図5】図4に示した集合電子部品38を示す斜視図であり、貫通孔39および40が設けられた状態を示す。

【図6】図5に示した集合電子部品38の一方主面上に搭載部品18および19が実装された状態を示す斜視図である。

【図7】図6に示した集合電子部品38を分割して得られた電子部品本体2を示す斜視図である。

【図8】図1に示したカバー3を単独で示す斜視図である。

【図9】この発明の第2の実施形態を説明するためのもので、電子部品本体2の第1の側面6を示す図である。*

14

*【図10】図9に示した電子部品本体2にカバー3を取り付けた状態を示す側面図である。

【図11】図9に示した電子部品本体2にカバー3を取り付けた状態の変形例を示す側面図である。

【図12】この発明の第3の実施形態を説明するためのもので、積層セラミック電子部品1aの外観を示す斜視図である。

【符号の説明】

1, 1a 積層セラミック電子部品

2 電子部品本体

3 カバー

4 第1の主面

5 第2の主面

6 第1の側面

7 第2の側面

8 第3の側面

9 第4の側面

10 第1の切欠き

11 第2の切欠き

12 第3の切欠き

13 第4の切欠き

14, 14a, 14b, 15 グラウンド側の端子電極

16, 17 端子電極

18, 19 搭載部品

20 導体膜

21, 21a, 21b, 22 脚部

31 セラミックグリーンシート

32, 33 分割線

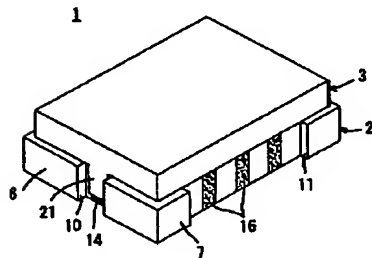
34, 35 透孔

36, 37 端子用ビアホール導体

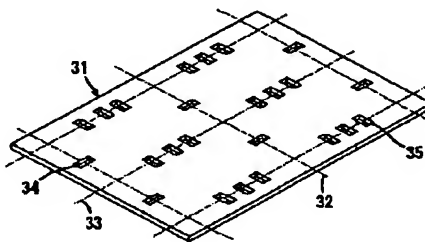
38 集合電子部品

39, 40 貫通孔

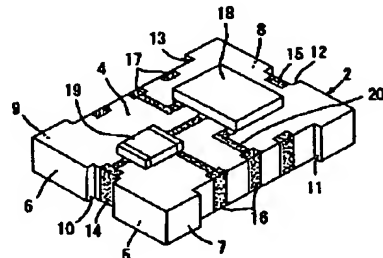
【図1】



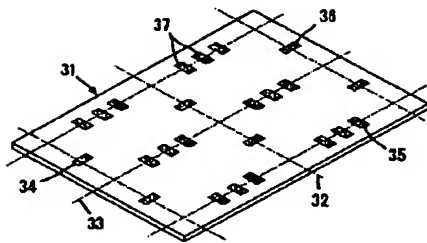
【図2】



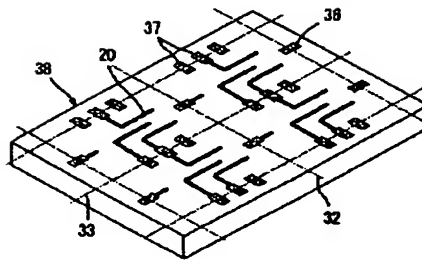
【図7】



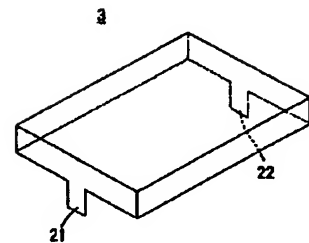
【図3】



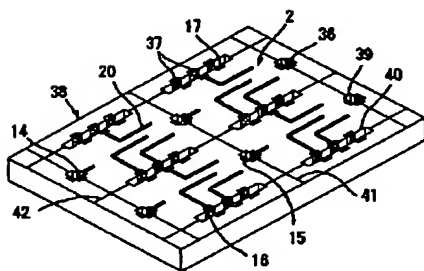
【図4】



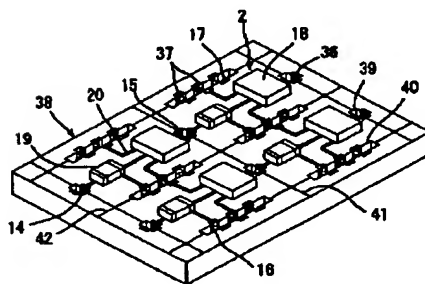
【図8】



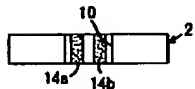
【図5】



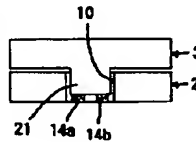
【図6】



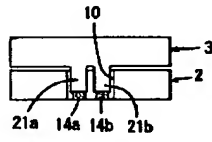
【図9】



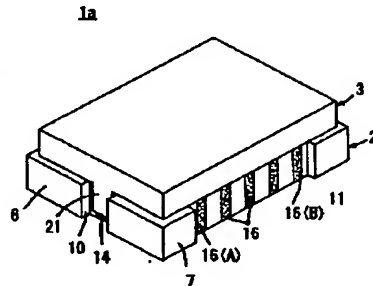
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.⁷

H05K 3/00
3/40
3/46

識別記号

F I

H05K 3/00
3/40
3/46

テーマコード(参考)

X
D
H
N
Q

F ターム(参考) 5E317 AA07 AA22 BB04 CC22 CC25
CC32 CD21 CD32 CD34 GG16
5E336 AA04 BB03 BB18 BC01 BC15
BC37 CC02 CC31 CC58 CC60
DD28 EE01 EE08 GG30
5E338 AA03 AA18 BB31 BB42 BB46
BB65 CC06 EE33
5E346 AA12 AA15 AA42 AA43 BB04
BB16 CC16 DD34 DD45 EE21
FF18 GG06 GG08 GG09 GG25
HH33